

【高周波信号, 高速信号基板設計 概念・実績】

如何なる信号も、損失や不整合の無い理想的な伝送線路上を伝わる事ができれば、信号品質は損なわれず動作に問題は発生しません。しかし、プリント基板には信号品質を劣化させる様々な要因があるため、それらをクリアできなければ性能を満足することができません。

信号品質だけではなく、電源の低電圧、大電流化に伴い電圧変動による動作マージンが減少し、電源が原因となる動作不良が顕著化しております。

テクノクラフトでは、信号品質、電源品質を劣化させる様々な要因を物理的に理解し対策を施すことにより、可能な限り損失を最小限に抑え、高周波、高速信号を問題なく伝送するプリント基板を設計いたします。

1.信号品質(SI:Signal Integrity)を確保するパターン設計

①反射の抑制

- ・特性インピーダンスの不整合抑制
→Refプレーンの分断防止、差動パターンのコーナー不整合防止、VIAを極力設けないレイアウト、密結合の差動インピーダンス選択、など。
- ・パターン、VIAのスタブ抑制
→層間配線での最短スタブ、ビルドアップ基板やバックドリル工法の提案、など。
- ・磁性体の影響を考慮
→磁性体の持つ透磁率の影響による特性インピーダンス値の変動をケア。

②損失の抑制

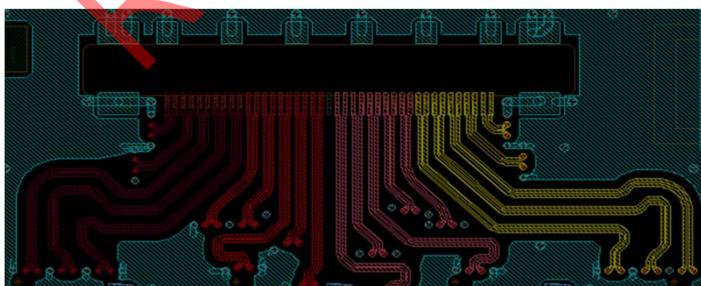
- ・表皮効果での損失抑制
→幅広の特性インピーダンスパターンを選択し、表皮損失を抑制。
- ・低損失基材の選択
→高周波数帯域で損失の少ない基材の提案。
例)通常FR-4 : R-1766 $\tan \delta$:0.016, ϵ_r :4.3 (at 1GHz)
低伝送損失基板 : R-5775(MEGTRON6) $\tan \delta$:0.002, ϵ_r :3.7 (at 1GHz)
- ・差動間スキューの抑制
→差動信号間の等長誤差を最小にし、信号減衰やコモンモードノイズ発生を抑制。
- ・銅箔損失の抑制
→銅箔の損失を最小にするため、パターンを最短で配線するレイアウト。
- ・マイクロストリップラインでの損失抑制
→ソルダレジストを剥離することにより、ソルダレジストが有する誘電正接での損失を抑制。

③遅延時間調整

- ・タイミングマージン内での信号伝送
→基板内外層の信号伝播時間差やVIAの層間長さを考慮した等長配線。

④ノイズの抑制

- ・差動信号の保護と放射電解の抑制
→差動信号の層間移動VIAに、GSSG差動スルーホールを設置。
- ・適切なリターンパス用プレーンの選択
→特性インピーダンスのRefプレーンをGNDやRef電源のプレーンを用いる。
- ・クロストークの抑制
→他信号やGND,電源など、並走するパターンとの容量性、誘導性結合を抑制。



2.電源品質(PI:Power Integrity)を確保するパターン設計

① IRドロップの抑制 (DC Power Integrity)

→低電圧電源のパターンは、銅箔、VIA、チップビーズなどの直流抵抗分を計算し、半導体の動作電圧を下回らないよう、最低条件を遵守する。

例) Kintex-7:VCCINT=1.0±0.03V,1.0A DC/DC出力:1.0V±0.005V
銅箔厚、銅箔幅、距離、VIA数より、銅箔の直流抵抗分:6.69mΩ→0.00669Vドロップ
DC/DC~VCCINT間挿入のチップビーズ直流抵抗分:0.03Ω→0.03Vドロップ
上記最低条件では0.04169Vのドロップが発生し動作電圧を大幅に下回るため、ユーザーへチップビーズの変更を提案し、
直流抵抗分:0.01Ωの部品へ変更。最低条件でも0.02169Vのドロップと抑えられた。

② デカップリングキャパシタの適切な配置 (AC Power Integrity)

→PDNインピーダンスをターゲットインピーダンス内に収めるため、デカップリングキャパシタを適切に配置する。

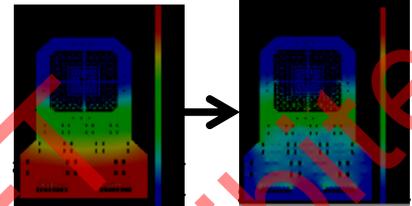
③ 電源プレーンの共振抑制

→電源プレーンは、IRドロップを考慮したパターン幅を確保したうえで余計なプレーンを設けず、リターンパスGNDを確保する。
電源プレーン端にはデカップリングキャパシタ(バスコン)が配置されるようにレイアウトを行う。

④ 電源ノイズの抑制

→電流密度に比例し電界強度が高くなりノイズを放射するため、
電流密度を低く出来るようレイアウトを行う。
・供給電源の根幹(SW電源など)で発生したノイズが信号へ影響するため、
ノイズ発生を抑制した電源回路のパターン設計を行う。

電流密度の改善



3.シミュレーションによる信号品質(SI:Signal Integrity)確認

信号品質を確保するために様々な要因に注意を払う必要があり、品質確認はシミュレーションが有効となります。
伝送線路シミュレータに伝送線路(基板パターン)の情報とICのシミュレーションモデルを入力し解析することで、伝送信号の波形やアイ・パターンを模擬確認することができます。
これにより信号品質の是非を判断できるため、プリント基板を製造する前に対策を講じることができ、クオリティ、スケジュール、コストに対しスケールメリットを得ることができます。

実施例)

(1)対象デバイスおよびコネクタモデル

FPGA:Kintex7(model:Xilinx_7Series_GTX_IBIS_AML_v3p2)
FPGA:Virtex7(model:Xilinx_7Series_GTH_IBIS_AML_v3p0)
QSFP+:AFBR-79EQDZ(model:QSFP_10G-Tx-Rx_AMIModels_Rev1.1)
CN(FMCコネクタ):ASP-134488-01 (model:SEAM-035_SEAF-065_10mm_OTPH.s24p)
CN(QSFPケース):76871-0006 (model:SP-76870-001.s32p)

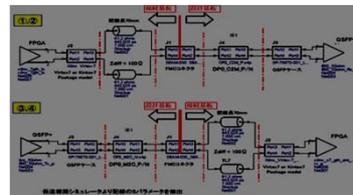
(2)方法

CADデータを使用し、伝送線路シミュレータよりTX、RXの配線Sパラメータを抽出。
FMCコネクタ経由の接続基板の配線長を70mmとし、下記4経路をシミュレーションする。
①Kintex7⇒QSFP+、②Virtex7⇒QSFP+、③QSFP+⇒Kintex7、④QSFP+⇒Virtex7

(3)シミュレーション条件

伝送速度:10.3125Gbps、入力信号:PRBS2(12)
総シミュレーションbit数:10万bit、1bit内サンプル数:128

(4)伝送モデル(トポロジー)



(5)判定基準



(6)スィー

Port	Mode	Pass/Fail	Time (ns)	Voltage (V)	Current (mA)
1	Pass	0.00121	0.00121	0.00121	0.00121
2	Pass	0.00121	0.00121	0.00121	0.00121
3	Pass	0.00121	0.00121	0.00121	0.00121
4	Pass	0.00121	0.00121	0.00121	0.00121
5	Pass	0.00121	0.00121	0.00121	0.00121
6	Pass	0.00121	0.00121	0.00121	0.00121
7	Pass	0.00121	0.00121	0.00121	0.00121
8	Pass	0.00121	0.00121	0.00121	0.00121
9	Pass	0.00121	0.00121	0.00121	0.00121
10	Pass	0.00121	0.00121	0.00121	0.00121

